

BEST AVAILABLE COPY

PCT/JP 2004/018981

日 本 国 特 許 庁
JAPAN PATENT OFFICE

14.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 6 日
Date of Application:

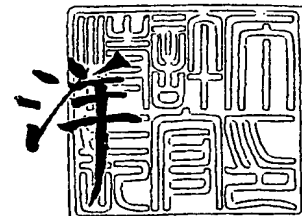
出 願 番 号 特 願 2 0 0 3 - 4 3 4 0 1 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 3 4 0 1 9]

出 願 人 キヤノン株式会社
Applicant(s):

2 0 0 5 年 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 2 3 2 3 5

【書類名】 特許願
【整理番号】 259649
【提出日】 平成15年12月26日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/20
【発明者】
 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 【氏名】 坂口 清文
【発明者】
 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 【氏名】 野津 和也
【発明者】
 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 【氏名】 桃井 一隆
【発明者】
 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 【氏名】 佐藤 信彦
【特許出願人】
 【識別番号】 000001007
 【氏名又は名称】 キヤノン株式会社
 【代表者】 御手洗 富士夫
【代理人】
 【識別番号】 100065385
 【弁理士】
 【氏名又は名称】 山下 穰平
 【電話番号】 03-3431-1831
【選任した代理人】
 【識別番号】 100122921
 【弁理士】
 【氏名又は名称】 志村 博
 【電話番号】 03-3431-1831
【手数料の表示】
 【予納台帳番号】 010700
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0213163

【書類名】特許請求の範囲**【請求項 1】**

半導体基板上に該半導体基板と同一材料の歪み半導体層を有する半導体基体。

【請求項 2】

前記半導体基板及び歪み半導体層の材料は、シリコンである請求項 1 に記載の半導体基体。

【請求項 3】

少なくとも表面が歪み誘起材料となる第 2 の材料からなる半導体基板上に第 1 の材料からなる歪み半導体層を形成し、第 1 の基体を用意する第 1 工程と、前記歪み半導体層を内側として前記第 1 の基体を前記第 1 の材料からなる第 2 の基体にはり合わせる第 2 工程と、前記歪み半導体層以外の第 1 の基体側の部材を除去し、前記第 2 の基体上に歪み半導体層を残存させる第 3 工程を有することを特徴とする半導体基体の作製方法。

【請求項 4】

前記第 1 の材料は、シリコンであることを特徴とする請求項 3 に記載の半導体基体の作製方法。

【請求項 5】

第 1 の材料はシリコンで、第 2 の材料は $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 1$) であることを特徴とする請求項 3 に記載の半導体基体の作製方法。

【請求項 6】

前記半導体基板は表面に歪み誘起層が形成された基板であることを特徴とする請求項 3 ～ 5 のいずれか 1 項に記載の半導体基体の作製方法。

【請求項 7】

前記半導体基板はシリコン基板上に前記歪み誘起層が形成された基板であることを特徴とする請求項 6 に記載の半導体基体の作製方法。

【請求項 8】

前記歪み誘起層の下に分離層を形成することを特徴とする請求項 6 又は 7 に記載の半導体基体の作製方法。

【請求項 9】

前記歪み誘起層は分離層でもあることを特徴とする請求項 6 又は 7 に記載の半導体基体の作製方法。

【請求項 10】

前記第 3 工程での第 1 の基体側の部材の除去は、前記分離層で第 1 の基体側の一部の部材を分離させる工程を含むことを特徴とする請求項 8 又は 9 に記載の半導体基体の作製方法。

【請求項 11】

前記歪み誘起層は、シリコンと付加材料とで構成されることを特徴とする請求項 6 ～ 9 のいずれか 1 項に記載の半導体基体の作製方法。

【請求項 12】

前記歪み誘起層は、 SiGe であることを特徴とする請求項 11 に記載の半導体基体の作製方法。

【請求項 13】

分離層は、多孔質材料で構成されることを特徴とする請求項 8 ～ 10 のいずれか 1 項に記載の半導体基体の作製方法。

【請求項 14】

多孔質材料は、多孔質 Si あるいは多孔質 SiGe であることを特徴とする請求項 13 に記載の半導体基体の作製方法。

【請求項 15】

前記分離層でもある歪み誘起層は、多孔質 SiGe であることを特徴とする請求項 9 に記載の半導体基体の作製方法。

【請求項 16】

前記第3工程は、分離層での分離工程後に、第2の基体側に残存した、歪み半導体層以外の第1の基体側の部材を除去することを特徴とする請求項10に記載の半導体基体の作製方法。

【請求項17】

前記第3工程は、前記第2の基体上に歪み半導体層のみを残存させた後、表面平坦化する工程を含むことを特徴とする請求項3～16のいずれか1項に記載の半導体基体の作製方法。

【請求項18】

前記分離層でもある歪み誘起層は、少なくとも表面の孔を封止する歪み誘起材料が導入された多孔質層であることを特徴とする請求項9に記載の半導体基体の作製方法。

【請求項19】

請求項3～18のいずれか1項に記載の方法により作製した半導体基体。

【請求項20】

請求項1、2又は19のいずれか1項に記載の半導体基体の歪み半導体層に絶縁ゲート型電界効果トランジスタを形成した半導体装置。

【書類名】 明細書

【発明の名称】 半導体基体とその作製方法、半導体装置

【技術分野】

【0001】

本発明は、半導体基体とその作製方法及び半導体装置に関する。

【背景技術】

【0002】

高速かつ低消費電力の半導体装置（デバイス）を形成するための基板として、歪みシリコン層(strained silicon layer)を有する基板が注目されている。シリコン(Si)とゲルマニウム(Ge)からなる層（SiGe層）をシリコン基板上に成長させ、その上にシリコン単結晶層を成長させると、該シリコン層に歪み加わり、歪みシリコン層が得られる。この歪みは、シリコンとゲルマニウムからなる層の格子定数がシリコン単結晶層の格子定数よりも僅かに大きいことにより発生する。例えば、非特許文献1にAT&TによるStrained-Si/SiGe/Si基板が明示されている。

【0003】

一方、シリコン基板中に埋め込み酸化膜(Buried oxide)を有するSOI基板もまた、高速かつ低消費電力の半導体装置（デバイス）を形成するための基板として注目されており、実用化が進んでいる。そして、上記Strained-SiとSOI (Silicon On Insulator) 構造を合わせた構造での総合報告もなされている。これは、歪みSiによる高速動作とSOIの低消費電力性能や更なる高速化を合わせて実現するために実用化を進めている（非特許文献2）。この中では、「歪みSi/SiGe/Insulator/Si基板」構造に関して記述されている。

【0004】

また、SiGe層が存在しない「歪みSi/Insulator/Si基板」構造の報告もある（非特許文献3）。第1の基板上に形成した歪みSi/SiGeを水素イオン注入法とはり合わせと分離により絶縁基板上に移設して後、SiGe層を除去する方式を示している。

【非特許文献1】 米国特許第5221413号

【非特許文献2】 応用物理、vol.72、no.3、pp.284-290、2003、高木信一「Si/SiGeヘテロ構造を用いたMOSデバイス技術」

【非特許文献3】 T.A.Langdo, et.al., Appl.Phys.Lett., vol.82, no.24, pp.4256-4258(2003)

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記いずれの技術においても、現在のSi-LSIからみると、デバイス設計・プロセス設計において新規な最適化が必要とされる。SiGeの存在は、上記T.A.Langdo, et.al.,の論文にもかかっているが、ドーパントの拡散の差異、メタルコンタクトの形成、熱処理によるGeの拡散のにおいて問題が残されている。また、絶縁層を有する構造では、絶縁層があることによりデバイス動作における熱の蓄積の問題を含めてSOIと同様の課題がそのまま存在する。

【0006】

本発明は、上記の背景に鑑みてなされたものであり、例えば、歪みSi層を有するSiウエハを形成するための新規な技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の半導体基体は、半導体基板上に該半導体基板と同一材料の歪み半導体層を有する半導体基体である。なお、ここで「半導体基板」には少なくとも、単結晶半導体基板、多結晶半導体基板が含まれ、半導体基板上に多結晶半導体層（微結晶半導体層を含む）等が形成されたものもふくまれる。

【0008】

また、本発明の半導体基体の作製方法は、少なくとも表面が歪み誘起材料となる第2の

材料からなる半導体基板上に第1の材料からなる歪み半導体層を形成し、第1の基体を用意する第1工程と、前記歪み半導体層を内側として前記第1の基体を前記第1の材料からなる第2の基体にはり合わせる第2工程と、前記歪み半導体層以外の第1の基体側の部材を除去し、前記第2の基体上に歪み半導体層を残存させる第3工程を有することを特徴とする半導体基体の作製方法である。

【0009】

また本発明の半導体基体は上記作製方法により作製されるものである。

【0010】

本発明の半導体装置は、上記半導体基体の歪み半導体層に絶縁ゲート型電界効果トランジスタを形成したものである。

【0011】

本発明の半導体基体により従来のSi-LSIで培われたプロセスそのままにして、歪みによるチャネル移動度の向上の恩恵を享受することができる。

【発明の効果】

【0012】

本発明は、例えば、歪みSi層を有するSiウエハを形成するための新規な技術を提供することができる。

本発明の半導体基体により従来のSi-LSIで培われたプロセスそのままにして、歪みによるチャネル移動度の向上の恩恵を享受することができる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態について説明する。

【0014】

本発明の実施の形態は、第2の材料からなる半導体基板上の第1の材料からなる歪み半導体の形成手法により、下記のような形態がある。

【0015】

(第1の形態)

第2の材料からなる半導体基板の表面に歪み誘起層、さらにその上部に第1の材料からなる歪み半導体層を形成し、第1の基体を用意する。

第1の基体に第1の材料からなる第2の基体を貼り合わせる。次いで、第2の材料からなる半導体基板および歪み誘起層を除去する。こうして、第1の材料からなる第2の基体上に第2の基体に接して第1材料の歪み半導体層を設けることができる。

【0016】

第1の材料および第2材料としては、典型的には、シリコンが利用される。

【0017】

歪み誘起層としてゲルマニウムを含む層($\text{Si}_{1-x}\text{Ge}_x$ 層)を形成し、その上に歪み半導体層として実質的にシリコンからなる層(好適には単結晶シリコン層)を形成する。

【0018】

第2の材料からなる半導体基板上に形成される $\text{Si}_{1-x}\text{Ge}_x$ 層は、好ましくは、 $X=0$ から $X=0.5$ のあいだで、徐々に変化させ、歪み半導体層を形成する前の表面では、 $X=0.1\sim 0.5$ が好ましい。また、その少なくとも最表面は、格子緩和が起こっていてひずみの少ない状態になっている。

【0019】

歪み半導体層以外の第1の基体側の部材の除去は、研削・研磨等の機械的除去手法によって行われる。または、はり合わせ前に、第2の材料からなる半導体基板又は歪み誘起層に水素イオン注入して、はり合わせ後注入界面で分離しても良い。

【0020】

歪み半導体層上の $\text{Si}_{1-x}\text{Ge}_x$ 層の除去は、研磨あるいは化学エッチングにより行われる。

【0021】

$\text{Si}_{1-x}\text{Ge}_x$ 層を除去し、第2の基体上に歪み半導体層のみを残存させた後、表面平坦化す

る工程を行っても良い。

この実施の形態に係る製造方法は、更に、この歪みシリコン層を活性層として利用して、回路素子を形成する工程を含み得る。このような回路素子を有するデバイスは、高速動作であるという効果を提供する。

【0022】

(第2の形態)

第2の材料からなる半導体基板の表面に分離層を形成し、その上部に歪み誘起層、さらに上部に第1の材料からなる歪み半導体層を形成し、第1の基体を用意する。

【0023】

第1の基体に第1の材料からなる第2の基体を貼り合わせる。次いで、分離層で分離した後、残留分離層および歪み誘起層を除去する。こうして、第1の材料からなる第2の基体上に第2の基体に接して第1材料の歪み半導体層を設けることができる。

【0024】

第1の材料および第2材料としては、典型的には、シリコンが利用される。分離層は、典型的には、陽極化成により第2の材料からなる半導体基板（シリコン基板）の表面を多孔質化することにより形成され得る。別の方法としては、歪み誘起層および歪み半導体層を形成した後、水素等のイオン注入により、歪み誘起層あるいは第2の材料からなる半導体基板中に分離層を形成しても良い。

【0025】

歪み誘起層としてゲルマニウムを含む層($\text{Si}_{1-x}\text{Ge}_x$ 層)を形成し、その上に歪み半導体層として実質的にシリコンからなる層（好適には単結晶シリコン層）を形成する。

【0026】

第2の材料からなる半導体基板上に形成される $\text{Si}_{1-x}\text{Ge}_x$ 層は、好ましくは、 $X=0$ から $X=0.5$ のあいだで、徐々に変化させ、歪み半導体層を形成する前の表面では、 $X=0.1\sim 0.5$ が好ましい。また、その少なくとも最表面は、格子緩和が起こっていてひずみの少ない状態になっている。

【0027】

分離工程は、分離層が多孔質層の場合には、くさび挿入、引っ張り・せん断力印加、液体ジェット（例えばウォータージェット）の噴き付け、気体ジェットの噴き付け、超音波印加等により行われる。分離層がイオン注入で形成される場合には、 $200\sim 300^\circ\text{C}$ から $500\sim 600^\circ\text{C}$ くらいまでの熱処理により行われる。

【0028】

歪み半導体層上の $\text{Si}_{1-x}\text{Ge}_x$ 層の除去は、研磨あるいは化学エッチングにより行われる。

【0029】

$\text{Si}_{1-x}\text{Ge}_x$ 層を除去し、第2の基体上に歪み半導体層のみを残存させた後、表面平坦化する工程を行っても良い。

【0030】

この実施の形態に係る製造方法は、更に、この歪みシリコン層を活性層として利用して、回路素子を形成する工程を含み得る。このような回路素子を有するデバイスは、高速動作であるという効果を提供する。

【0031】

(第3の形態)

第2の材料からなる半導体基板の表面に分離層を形成し、その上部に歪み誘起層、さらに上部に第1の材料からなる歪み半導体層を形成し、第1の基体を用意する。

【0032】

第1の基体に第1の材料からなる第2の基体を貼り合わせる。次いで、分離層で分離した後、残留分離層および歪み誘起層を除去する。こうして、第1の材料からなる第2の基体上に第2の基体に接して第1材料の歪み半導体層を設けることができる。

【0033】

第1の材料および第2材料としては、典型的には、シリコンが利用される。

【0034】

分離層は、典型的には、第2の材料からなる半導体基板（シリコン基板）の表面を陽極化成により多孔質化することにより形成され得る。

【0035】

ゲルマニウムを含む層（ $\text{Si}_{1-x}\text{Ge}_x$ 層）を多孔質表層の孔封止材料として形成し、歪み誘起層とし、その上に歪み半導体層として実質的にシリコンからなる層（好適には単結晶シリコン層）を形成する。ゲルマニウムを含む層（ $\text{Si}_{1-x}\text{Ge}_x$ 層）を多孔質表層の孔封止材料として形成した様子を図8の概略的断面図に示す。図8に示すように、多孔質層40の表層の孔を $\text{Si}_{1-x}\text{Ge}_x$ 層41で埋めこみ、Si表面が $\text{Si}_{1-x}\text{Ge}_x$ 層41で覆われるように形成する。

【0036】

歪み誘起 $\text{Si}_{1-x}\text{Ge}_x$ 層は、好ましくは、 $X=0.1$ から $X=0.5$ のあいだで、多孔質表面の孔を埋めるように形成される。また、その少なくとも最表面は、格子緩和が起こっていてひずみの少ない状態になっている。

【0037】

分離工程は、多孔質層の場合には、くさび挿入、引っ張り・せん断力印加、液体ジェット（例えばウォータージェット）の噴き付け、気体ジェットの噴き付け、超音波印加等により行われる。

【0038】

歪み半導体層上の $\text{Si}_{1-x}\text{Ge}_x$ 層の除去は、研磨あるいは化学エッチングにより行われる。

【0039】

$\text{Si}_{1-x}\text{Ge}_x$ 層を除去し、第2の基体上に歪み半導体層のみを残存させた後、表面平坦化する工程を行っても良い。

この実施の形態に係る製造方法は、更に、この歪みシリコン層を活性層として利用して、回路素子を形成する工程を含み得る。このような回路素子を有するデバイスは、高速動作であるという効果を提供する。

【0040】

（第4の形態）

第2の材料からなる半導体基板の表面にゲルマニウムを含む層（ $\text{Si}_{1-y}\text{Ge}_y$ 層）を形成した後、陽極化成により分離層として多孔質SiGe層を形成する。その上部に歪み誘起層としてゲルマニウムを含む層（ $\text{Si}_{1-x}\text{Ge}_x$ 層）を再度形成し、その上に第1の材料からなる歪み半導体層として実質的にシリコンからなる層（好適には単結晶シリコン層）を形成し、第1の基体を用意する。

【0041】

第1の基体に第1の材料からなる第2の基体を貼り合わせる。次いで、分離層で分離した後、残留分離層およびSiGe層を除去する。こうして、第1の材料からなる第2の基体上に第2の基体に接して第1材料の歪み半導体層を設けることができる。

【0042】

第1の材料および第2材料としては、典型的には、シリコンが利用される。

【0043】

歪み誘起層としての $\text{Si}_{1-x}\text{Ge}_x$ 層は、好ましくは、 $X=0.1$ から $X=0.5$ のあいだで、徐々に変えさせ、歪み半導体層を形成する前の表面では、 $X=0.1\sim 0.5$ が好ましい。また、その少なくとも最表面は、格子緩和が起こっていてひずみの少ない状態になっている。

【0044】

分離工程は、多孔質層の場合には、くさび挿入、引っ張り・せん断力印加、液体ジェット（例えばウォータージェット）の噴き付け、気体ジェットの噴き付け、超音波印加等により行われる。

【0045】

歪み半導体層上の $\text{Si}_{1-x}\text{Ge}_x$ 層の除去は、研磨あるいは化学エッチングにより行われる。

【0046】

$\text{Si}_{1-x}\text{Ge}_x$ 層を除去し、第2の基体上に歪み半導体層のみを残存させた後、表面平坦化す

る工程を行っても良い。

【0047】

この実施の形態に係る製造方法は、更に、この歪みシリコン層を活性層として利用して、回路素子を形成する工程を含み得る。このような回路素子を有するデバイスは、高速動作であるという効果を提供する。

【0048】

(第5の形態)

第2の材料からなる半導体基板の表面に歪み誘起層としてゲルマニウムとを含む層($\text{Si}_{1-x}\text{Ge}_x$ 層)を形成した後、陽極化成により分離層として多孔質SiGe層を形成する。第2の材料からなる半導体基板上に形成される歪み誘起 $\text{Si}_{1-x}\text{Ge}_x$ 層は、好ましくは、 $X=0.1$ から $X=0.5$ のあいだで、徐々に変化させ、歪み半導体層を形成する前の表面では、 $X=0.1\sim 0.5$ が好ましい。また、その少なくとも最表面は、格子緩和が起こっていてひずみの少ない状態になっていて、多孔質化後も、実質上、歪み誘起層としても作用する。

【0049】

その上部に第1の材料からなる歪み半導体層として、実質的にシリコンからなる層(好適には単結晶シリコン層)を形成し、第1の基体を用意する。

【0050】

第1の基体に第1の材料からなる第2の基体を貼り合わせる。次いで、分離層で分離した後、残留分離層および $\text{Si}_{1-x}\text{Ge}_x$ 層を除去する。こうして、第1の材料からなる第2の基体上に第2の基体に接して第1材料の歪み半導体層を設けることができる。

【0051】

第1の材料および第2材料としては、典型的には、シリコンが利用される。

【0052】

分離工程は、多孔質層の場合には、くさび挿入、引っ張り・せん断力印加、液体ジェット(例えばウォータージェット)の噴き付け、気体ジェットの噴き付け、超音波印加等により行われる。

【0053】

歪み半導体層上の $\text{Si}_{1-x}\text{Ge}_x$ 層の除去は、研磨あるいは化学エッチングにより行われる。

【0054】

$\text{Si}_{1-x}\text{Ge}_x$ 層を除去し、第2の基体上に歪み半導体層のみを残存させた後、表面平坦化する工程を行っても良い。

この実施の形態に係る製造方法は、更に、この歪みシリコン層を活性層として利用して、回路素子を形成する工程を含み得る。このような回路素子を有するデバイスは、高速動作であるという効果を提供する。

【0055】

以下、更に本発明の実施例について図面を用いて説明する。後述する実施例1～5は上述した第1～第5の形態に対応する。

【実施例1】

【0056】

図1(A)～図1(C)を参照しながら、本発明の第1の実施例に係る半導体基板(部材)の製造方法を説明する。

【0057】

図1(A)に示す工程(積層工程)では、シリコン基板11上にシリコンとゲルマニウム(付加材料)とを含む層(SiGe層)12を有し、その上にシリコン層13を有する第1の基体(部材)10を作成する。

【0058】

[SiGe層のエピタキシャル成長]

まず、シリコン基板11上に、歪み誘起 $\text{Si}_{1-x}\text{Ge}_x$ 層12($X=0.1\sim 0.5$ 、例えば、 $X=0.3$)をランプ加熱によるCVD法によりエピタキシャル成長させる。この条件は、好ましくは次の通りである。なお、成長に先だって、プリベークを行ってもよい。

・キャリアガス: H_2

H_2 の流量は、好ましくは 25~45 リットル/分であり、典型的には 30 リットル/分である。

・第 1 の原料ガス: SiH_4

SiH_4 の流量は、好ましくは 50~200 sccm であり、典型的には 100 sccm である。

・第 2 の原料ガス: 2% GeH_4

2% GeH_4 の流量は、好ましくは 20~500 sccm であり、典型的には 300 sccm である。

・チャンバ圧力

チャンバ圧力は、好ましくは 10~100 Torr であり、典型的には 100 Torr である。

・温度(基板温度)

温度は、好ましくは 650~680℃ である。

・成長速度

成長速度は、好ましくは 10~50 nm/分 である。

・Ge の組成比は、原料ガスの混合比によって変えることが可能である。単結晶シリコン基板への成長初期は低 Ge 比率でエピタキシャル成長の進行とともに濃度を上昇させて最終的に $X=0.1\sim0.5$ にすることが好ましい。欠陥を導入する等により、この時最表面は歪みが緩和した状態にする。

【0059】

なお、 $Si_{1-x}Ge_x$ 層 12 の成長に先だって、上記シリコン基板 11 表面を水素雰囲気中で熱処理(プリベーク)することも好ましい。プリベークの場合において、水素の流量は、好ましくは 15~45 リットル/分(典型的には、40 リットル/分)、温度は、好ましくは 700~1000℃(典型的には 950℃)、チャンバ内圧力は、好ましくは 10~760 Torr(典型的には、80 Torr) である。更に、単結晶シリコン層の成長初期段階において 50nm/min 以下の低成長速度で成長させることも好ましいものである。

【0060】

また、CVD 装置へ試料を出し入れする場合は、装置へ入れるに先だって、各工程毎に表面を希 HF 溶液への浸漬などにより表面に形成された自然酸化膜除去してもよい。

【0061】

[歪み Si 層形成]

次いで、 $Si_{1-x}Ge_x$ 層 12 上に CVD 法により単結晶シリコン層 13 を成長させる。このようにして形成される単結晶シリコン層 13 は、その下層の $Si_{1-x}Ge_x$ 層 12 と格子定数が異なるために、歪みシリコン層となる。この実施例によれば、歪みシリコン層 13 と $Si_{1-x}Ge_x$ 層 12 との界面付近における $Si_{1-x}Ge_x$ 層 12 中のゲルマニウムの濃度を精密に制御することができるとともに界面における濃度分布を均一(平坦)にすることができる。したがって、 $Si_{1-x}Ge_x$ 層 12 の上に形成される歪みシリコン層 13 の歪み等の制御が容易であり、良質の歪みシリコン層 13 を得ることができる。

歪みシリコン層 13 としての単結晶シリコン層の成長条件は、以下の通りである。

・キャリアガス: H_2

水素の流量は、好ましくは 15~45 リットル/分であり、典型的には 30 リットル/分である。

・原料ガス: SiH_4

原料ガスの流量は、好ましくは 50~500 SCCM であり、典型的には 100 SCCM である。

・チャンバ圧力

チャンバ圧力は、好ましくは 10~100 Torr であり、典型的には 80 Torr である。

・成長温度(基板温度)

成長温度は、好ましくは 650℃~1000℃ であり、典型的には 900℃ である。

・成長速度

成長速度は、好ましくは10～500nm/minである。

【0062】

[第1の基板側の完成]

以上の工程により、図1(A)に模式的に示すような第1の基体(部材)10が得られる。ここで、上記のように多段の工程によって $Si_{1-x}Ge_x$ 層12、歪みシリコン層13を形成する代わりに、単一の工程(例えば、CVD工程)において、Geの濃度(又は、これに付随して他のガスの濃度)や他の条件を徐々に又は段階的に変更しながら、 $Si_{1-x}Ge_x$ 層12、歪みシリコン層13を形成することもできる。

【0063】

[はり合わせ]

図1(A)に示す工程に次いで、図1(B)に示す工程(貼り合わせ工程)では、第1の基体(部材)10の表面側に第2の基体(部材)30を貼り合わせる。ここで、第1の基体(部材)10と第2の基体(部材)30とを単に密着させるだけでもよいし、密着させた後に両基板の結合を強固にするために陽極接合、あるいは熱処理等を施してもよい。第2の基体(部材)30は、典型的には、シリコン基板である。貼りあわせる両基体の貼りあわせ面は疎水性処理をしておくことが望ましい(後述する実施例でも同様である)。これは、貼り合せ面に親水性処理を施すと、貼り合せ界面に一様の酸化シリコン膜が形成されてしまうためである。

【0064】

[基板の除去(研削・エッチング)]

図1(B)に示す工程に次いで、図1(C)に示す工程(除去工程)では、貼り合わせによって形成された基板(貼り合わせ基板)のシリコン基板11を除去する。除去手法は、例えば、研削研磨等の機械的除去あるいはウェットエッチング・ドライエッチング等の化学的除去がある。化学エッチングにより除去する場合には、

$KOH + K_2Cr_2O_7 + \text{propanol} + H_2O$

によりSiは $Si_{0.7}Ge_{0.3}$ に対してほぼ20倍の選択比で除去可能である(D.J.Godbey, et.al., Appl.Phys.Lett., vol.56, no.4, pp.373-379(1990))。あるいは、EDP(ethylene diamine pyrocatechol), 82℃によりSiは $Si_{0.72}Ge_{0.28}$ に対してほぼ390倍の選択比で除去可能である(D.Feijoo, et.al., J.Electro.Mat., vol.23, no.6, pp.493-496(1994))。

【0065】

さらに、 $Si_{1-x}Ge_x$ 層12を除去する。例えば、研磨により除去する。あるいは、化学エッチングにより除去する。化学エッチングにより除去する場合には、

$HF(0.5\%) + HNO_3 + H_2O$ (5:40:20)

により $Si_{0.7}Ge_{0.3}$ はSiに対してほぼ13倍の選択比で除去可能である(A.H.Krist, et.al., Appl.Phys.Lett., vol.58, no.17, pp.1899-1901(1991))。

【0066】

すなわち、図1(B)に示す貼り合わせ工程及び図1(C)に示す除去工程により移設工程が実施される。図1(C)には、本実施例により作製された半導体基体の模式的な断面図が示されている。

【0067】

[歪みSiによる回路/H₂アニール]

この歪みシリコン層13を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成(半導体装置の製造)については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【実施例2】

【0068】

図2(A)～図2(D)を参照しながら、本発明の第2の実施例に係る半導体基板(部材)の製造方法を説明する。実施例1の $Si_{1-x}Ge_x$ 層を形成する前に、シリコン基板11の表面付近に分離層として多孔質層を形成する。

【0069】

[陽極化成]

まず、単結晶シリコン基板 11 上に陽極化成により多孔質 Si 層 14 を形成する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素 (HF) を含む溶液を満たし、該電極対間にシリコン基板 11 を配置し、該電極対間に電流を流すことによりなされ得る。この工程によって形成される多孔質 Si 層 14 は、脆弱な構造の層であって、後の分離工程において分離層として機能する。陽極化成の条件は例えば特開平 7-302889 号に開示されている。

【0070】

なお、多孔質 Si 層 14 の内部孔表面に酸化膜等の保護膜を形成してもよい。また、化成液、あるいは電流を制御して、互いに多孔度の異なる複数の層としてもよい。例えば、表面側から第 1 の多孔質層、そしてその下に当該第 1 の多孔質層よりも多孔度の高い第 2 の多孔質層を形成することができる。

【0071】

[SiGe+Si EPI~はり合わせ]

次工程以降、多孔質 Si 層 14 上にシリコンとゲルマニウム（付加材料）とを含む歪み誘起 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 および歪みシリコン層 13 を形成し、第 2 の基板にはり合わせまでの工程は、実施例 1 と同様である。第 1 の基体（部材）10' としては、図 2 (A) に模式的に示すような構造体となり、はり合わせ工程では、図 2 (B) のようになる。

【0072】

$\text{Si}_{1-x}\text{Ge}_x$ 層 12 を多孔質 Si 層 14 上に形成するに先だって、上記多孔質 Si 層 14 表面を水素雰囲気中で熱処理（プリベーク）することも好ましい。プリベークの場合において、水素の流量は、好ましくは 15~45 リットル/分（典型的には、40 リットル/分）、温度は、好ましくは 700~1000℃（典型的には 950℃）、チャンバ内圧力は、好ましくは 10~760 Torr（典型的には、80 Torr）である。更に、単結晶シリコン層の成長初期段階において 50 nm/min 以下の低成長速度で成長させることも好ましいものである。

【0073】

また、CVD 装置へ試料を出し入れする場合は、装置へ入れるに先だって、各工程毎に表面を希 HF 溶液への浸漬などにより表面に形成された自然酸化膜除去してもよい。

【0074】

[基板の除去（分離・エッチング）]

図 2 (B) に示す工程に次いで、図 2 (C) に示す工程（分離工程）では、貼り合わせによって形成された基板（貼り合わせ基板）を分離層（多孔質 Si 層）14 の部分で 2 枚の基板に分離する。すなわち、図 2 (B) に示す貼り合わせ工程及び図 2 (C) に示す分離工程により移設工程が実施される。分離工程は、例えば、貼り合わせ基板をその軸を中心として回転させながら、その分離層 14 に流体を打ち込むことにより実施され得る。なお、符号 14'、14'' は、分離後に両基板に残留する多孔質層を模式的に示している。

【0075】

ここで、液体や気体などの流体を利用する分離方法に代えて、引っ張り、圧縮、せん断等の応力を利用する分離方法を採用してもよいし、これらを併用してもよい。

【0076】

分離後の第 2 の基体 30 上に残留する多孔質層 14'' をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去する。エッチングにより除去する場合には、

$\text{HF} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ の混合液

を用いて $1\text{E}5$ (1×10^5) 程度の選択比で多孔質層 14'' を選択的に除去する。

【0077】

多孔質の膨大な表面積を利用して、他の Si エッチング液においても選択的に除去することは可能である。

【0078】

さらに、 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 を除去する。例えば、研磨により除去する。あるいは、化学エッチングにより除去する。化学エッチングにより除去する場合には、 $\text{HF}(0.5\%)+\text{HNO}_3+\text{H}_2\text{O}$ (5:40:20) により $\text{Si}_{0.7}\text{Ge}_{0.3}$ は Si に対してほぼ 13 倍の選択比で除去可能である (A.H.Krist, et.al., Appl.Phys.Lett., vol.58, no.17, pp.1899-1901(1991))。

【0079】

図 2 (D) には、本実施例により作製された半導体基体の模式的な断面図が示されている。

【0080】

[歪み Si による回路/H₂ アニール]

この歪みシリコン層 13 を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成 (半導体装置の製造) については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【実施例 3】

【0081】

図 3 (A) ~ 図 3 (D) を参照しながら、本発明の第 3 の実施例に係る半導体基板 (部材) の製造方法を説明する。実施例 2 の $\text{Si}_{1-x}\text{Ge}_x$ を形成する工程に変えて、多孔質層の孔の封止を SiGe で行う。

【0082】

[陽極化成]

まず、図 3 (A) に示すように、単結晶シリコン基板 11 上に陽極化成により多孔質 Si 層 14 を形成する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素 (HF) を含む溶液を満たし、該電極対間にシリコン基板 11 を配置し、該電極対間に電流を流すことによりなされ得る。この工程によって形成される多孔質 Si 層 14 は、脆弱な構造の層であって、後の分離工程において分離層として機能する。陽極化成の条件は例えば特開平 7-302889 号に開示されている。

【0083】

なお、多孔質 Si 層 14 の内部孔表面に酸化膜等の保護膜を形成してもよい。また、化成液、あるいは電流を制御して、互いに多孔度の異なる複数の層としてもよい。例えば、表面側から第 1 の多孔質層、そしてその下に当該第 1 の多孔質層よりも多孔度の高い第 2 の多孔質層を形成することができる。

[SiGe での孔封止]

次いで、多孔質 Si 層 14 の表面孔を $\text{Si}_{1-x}\text{Ge}_x$ で封止する。条件は、好ましくは次の通りである。なお、成長に先だって、後述のプリベークを行ってもよい。

・キャリアガス: H_2

H_2 の流量は、好ましくは 25 ~ 45 リットル/分であり、典型的には 30 リットル/分である。

・第 1 の原料ガス: SiH_4

SiH_4 の流量は、好ましくは 50 ~ 200 sccm であり、典型的には 100 sccm である。

・第 2 の原料ガス: 2% GeH_4

2% GeH_4 の流量は、好ましくは 20 ~ 500 sccm であり、典型的には 300 sccm である。

・チャンバ圧力

チャンバ圧力は、好ましくは 10 ~ 100 Torr であり、典型的には 100 Torr である。

・温度

温度は、好ましくは 650 ~ 680 °C である。

・成長速度

成長速度は、好ましくは 5 ~ 20 nm/分である。

【0084】

封止 $\text{Si}_{1-x}\text{Ge}_x$ 層の Ge の組成比は、原料ガスの混合比によって変えることが可能であり、 $x=0.1\sim0.5$ にすることが好ましい。表面孔の存在により、この時封止層は歪みが緩和した状態にする。本工程により、歪み誘起 $\text{Si}_{1-x}\text{Ge}_x$ 層 12 が形成された。

【0085】

孔封止に先立って、上記多孔質層表面を水素雰囲気中で熱処理（プリベーク）することも好ましい。プリベークの場合において、水素の流量は、好ましくは 15 ~ 45 リットル/分（典型的には、40 リットル/分）、温度は、好ましくは 700 ~ 1000 °C（典型的には 950 °C）、チャンバ内圧力は、好ましくは 10 ~ 760 Torr（典型的には、80 Torr）である。

【0086】

また、CVD 装置へ試料を出し入れする場合は、装置へ入れるに先だって、各工程毎に表面を希 HF 溶液への浸漬などにより表面に形成された自然酸化膜除去してもよい。

[Si EPI ~以降]

SiGe 封止層上にシリコン層 13 を形成しする工程から、仕上がりまでの工程は、実施例 2 と同様である。第 1 の基体（部材）10' ' としては、図 3 (A) に模式的に示すような構造体となり、はり合わせ工程では、図 3 (B) のようになる。分離後には、図 3 (C) に示すように 2 分割され、移設工程が実施される。

【0087】

図 3 (D) には、本実施例により作製された半導体基体の模式的な断面図が示されている。

【0088】

[歪み Si による回路/H₂ アニール]

この歪みシリコン層 13 を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成（半導体装置の製造）については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【実施例 4】

【0089】

図 4 (A) ~ 図 4 (F) を参照しながら、本発明の第 4 の実施例に係る半導体基板（部材）の製造方法を説明する。実施例 2 のシリコン基板を多孔質化する代わりに、シリコン基板 11 上に形成した SiGe 層を多孔質化する。

【0090】

[SiGe 層のエピタキシャル成長]

図 4 (A) に示すように、単結晶シリコン基板 11 上にシリコン及びゲルマニウム（付加材料）を含む層 15 ($\text{Si}_{1-y}\text{Ge}_y$ 層: $y=0.1\sim0.5$ 、例えば、 $y=0.3$) をランプ加熱による CVD 法によりエピタキシャル成長させる。この条件は、好ましくは次の通りである。なお、成長に先だって、前述のプリベークを行ってもよい。

・キャリアガス: H₂

H₂ の流量は、好ましくは 25 ~ 45 リットル/分であり、典型的には 30 リットル/分である。

・第 1 の原料ガス: SiH₄

SiH₄ の流量は、好ましくは 50 ~ 200 sccm であり、典型的には 100 sccm である。

・第 2 の原料ガス: 2% GeH₄

2% GeH₄ の流量は、好ましくは 20 ~ 500 sccm であり、典型的には 300 sccm である。

・チャンバ圧力

チャンバ圧力は、好ましくは 10 ~ 100 Torr であり、典型的には 100 Torr である。

・温度

温度は、好ましくは650～680℃である。

・成長速度

成長速度は、好ましくは10～50nm/分である。

・Geの組成比は、原料ガスの混合比によって変えることが可能である。単結晶シリコン基板11への成長初期は低Ge比率でエピタキシャル成長の進行とともに濃度を上昇させて最終的に $X=0.1\sim0.5$ にすることが好ましい。欠陥を導入する等により、この時最表面は歪みが緩和した状態にする。

【0091】

[SiGe陽極化成]

図4(A)に示す工程に次いで、図4(B)に示す工程(陽極化成工程)では、 $Si_{1-y}Ge_y$ 層15に陽極化成により多孔質層16を形成する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素(HF)を含む溶液を満たし、該電極対間に $Si_{1-y}Ge_y$ 層15を有するシリコン基板11を配置し、該電極対間に電流を流すことによりなされ得る。この工程によって形成される多孔質層16は、脆弱な構造の層であって、後の分離工程において分離層として機能する。

【0092】

なお、多孔質層の内部孔表面に酸化膜等の保護膜を形成してもよい。 $SiGe$ の酸化は表面に SiO_2 が形成され、Geは内部に押し出されることになるが、内部孔表面に酸化膜は形成されることになる。また、化成液、あるいは電流を制御して、互いに多孔度の異なる複数の層としてもよい。例えば、 $Si_{1-y}Ge_y$ 層15表面側から第1の多孔質層、そしてその下に当該第1の多孔質層よりも多孔度の高い第2の多孔質層を形成することができる。多孔質層16は、 $Si_{1-y}Ge_y$ 層15より深くシリコン基板11に達してもよい(図面では、多孔質層16は、 $Si_{1-y}Ge_y$ 層15より薄い状況を示している)。

【0093】

陽極化成による多孔質形成は一種の電解エッチングであるので、欠陥を選択的にエッチングしやすい。よって、 $Si_{1-y}Ge_y$ 層15を形成する際に導入された欠陥は、多孔質形成後の残った単結晶部分に残存しにくく、結果として結晶性が回復することになる。

【0094】

[SiGe+Si EPI～以降]

多孔質層16上にシリコンとゲルマニウム(付加材料)とを含む歪み誘起層($Si_{1-x}Ge_x$ 層)12を形成しする工程から、仕上がりまでの工程は、実施例2と同様である。第1の基体(部材)10' ' 'としては、図4(C)に模式的に示すような構造体となり、はり合わせ工程では、図4(D)のようになる。分離後には、図4(E)に示すように2分割され、移設工程が実施される。

図4(F)には、本実施例により作製された半導体基体の模式的な断面図が示されている。

。

【0095】

[歪みSiによる回路/H₂アニール]

この歪みシリコン層13を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成(半導体装置の製造)については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【実施例5】

【0096】

図5(A)～図5(F)を参照しながら、本発明の第5の実施例に係る半導体基板(部材)の製造方法を説明する。実施例4の多孔質SiGeの表面がすでに格子緩和している場合には、さらにSiGeを形成しなくてもその上に歪みシリコン層13を形成することができる。

。

【0097】

他の工程は、実施例4と同様である。第5Aには、SiGe層のEPI工程、第5(B)には陽

極化成工程の模式的断面図が描かれている。

【0098】

第1の基体(部材)10' , , , としては、図5 (C) に模式的に示すような構造体となり、はり合わせ工程では、図5 (D) のようになる。分離後には、図5 (E) に示すように2分割され、移設工程が実施される。

図5 (F) には、本実施例により作製された半導体基体の模式的な断面図が示されている。

【0099】

[歪みSiによる回路/H₂アニール]

この歪みシリコン層13を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成(半導体装置の製造)については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【実施例6】

【0100】

図6 (A) ~ 図6 (E) を参照しながら、本発明の第6の実施例に係る半導体基板(部材)の製造方法を説明する。

【0101】

実施例4および実施例5の第2の材料からなる半導体基板として、シリコンに代えてゲルマニウムをはじめとするシリコンよりも格子定数の大きい材料の基板を用いる。ゲルマニウムの他には、IV族の混晶であるSiGeやGaAs等の化合物半導体がある。SiGeのバルク結晶に関しては、東北大学、金属材料研究所では、平成14年度 科学研究費補助金 基盤研究(S) 新規課題の概要として、

1072339628546_0.pdf

に、単結晶バルクSiGe結晶の成長を報告している。

【0102】

SiGeあるいはGeの基板21に多孔質層26を形成する(図6 (A))。もともとバルクの結晶なので格子は基板に倣った状態にある。その上に歪みSi13を成長させる(図6 (B))。第2の基体(部材)30とはり合わせた(図6 (C))後に多孔質層24で分離する(図6 (D))。その後は、上記実施例と同様に、分離層を除去し、第2の基体(部材)30上に歪みSi13がある歪み半導体基体が作製できた(図6 (E))。

【0103】

多孔質層24を形成する前にSiとの格子定数差を縮めるためにSi_{1-x}Ge_xを形成してもよい。

【0104】

[歪みSiによる回路/H₂アニール]

この歪みシリコン層13を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを得ることができる。回路素子の形成(半導体装置の製造)については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【0105】

以上説明した各実施例においては、半導体単結晶の格子定数よりも大きい格子定数の材料を歪み誘起層として用い、歪み半導体層を形成する例について説明したが、半導体単結晶の格子定数よりも小さい格子定数の材料を歪み誘起層として用い、歪み半導体層を形成する場合にも適用できる。例えば、シリコン単結晶の格子定数よりも小さい、シリコンの歪み半導体層を作製する場合、歪み誘起層として、SiC、ダイヤモンド等を用いる。

【0106】

また、以上説明した各実施例においては、第2の基体としてのシリコン基板に直接シリコンの歪み半導体層を形成しているが、多結晶シリコン(微結晶シリコンを含む)や非晶質シリコンの層等の非単結晶層を歪み半導体層上又は第2の基体上に形成して貼り合わせ、シリコン基板上に多結晶シリコン層や非晶質シリコン層(貼り合わせ後に結合強化のための加熱処理をする場合には多結晶化する)を介在させて歪み半導体層を設けてもよく、

本願発明の半導体基体の作製方法にこのような形態も含まれる。そして、このようにシリコン基板上に多結晶シリコン層等が形成されたものも、本願発明の半導体基体の「半導体基板」として含まれる。また、半導体基板は必ずしも単結晶基板でなくてもよく、多結晶基板を用いてもよい。

【0107】

また第2の基体となる半導体基板は高濃度不純物層が表面に形成されていたり、それ自体が高濃度不純物を含む基板であってもよく、例えば、第2の基体となる半導体基板を P^+ 基板、 P^+ 層を有する基板とし、歪み半導体層を P^- 層として貼りあわせることで、 P^-/P^+ 基板を作製することができる。

【0108】

<半導体装置の例>

次いで、上記各実施例で説明した基板の製造方法により製造され得る半導体基板を利用した半導体装置（デバイス）及びその製造方法について図7（A）～図7（D）を参照しながら説明する。

【0109】

まず、第1～第5の実施例として例示的に説明した半導体基板（部材）の製造方法を適用して半導体基板を製造する。この半導体基板は、前述のように、シリコン基板上に歪みSi層を有する。以降、歪みSi基板と記述する。このような歪みSi基板は、通常のSi基板に比べて、より高速のデバイスが得られることになる。これは、歪みを有しないSi層に対する歪みSi層の優位性による。

【0110】

図7（A）に示す工程では、まず、準備した歪みSi基板に、トランジスタ（ここでは絶縁ゲート型電界効果トランジスタとなるMOSトランジスタ）を形成すべき活性領域1103'及び素子分離領域1054を形成する。具体的には、例えば、歪みSi層1105を島状にパタニングする方法、LOCOS酸化法、トレンチ法等により、活性領域1103'及び素子分離領域1054を形成することができる。

【0111】

次いで、歪みSi層1105の表面にゲート絶縁膜1056を形成する。ゲート絶縁膜1056の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ゲート酸化膜1056は、例えば、歪みSi層1105の表面を酸化させたり、歪みSi層1105上にCVD法又はPVD法により絶縁物質を堆積させたりすることにより形成され得る。

【0112】

次いで、ゲート絶縁膜1056上にゲート電極1055を形成する。ゲート電極1055は、例えば、P型又はN型不純物がドーパされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート絶縁膜1056は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極1056は、例えば、サリサイド（セルフアラインシリサイド）と呼ばれる方法で形成されてもよいし、ダマシングートプロセスと呼ばれる方法で形成されてもよいし、他の方法で形成されてもよい。以上の工程により図7（A）に示す構造体を得られる。

【0113】

次いで、図7（B）に示す工程では、まず、隣、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を活性領域1103'に導入することにより、比較的低濃度のソース、ドレイン領域1058を形成する。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0114】

次いで、ゲート電極1055を覆うように絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極1055の側部にサイドウォール1059を形成する。

【0115】

次いで、再び上記と同一の導電型の不純物を活性領域1103'に導入し、比較的高濃度のソース、ドレイン領域1057を形成する。以上の工程により図7(B)に示す構造体を得られる。

【0116】

次いで、図7(C)に示す工程では、ゲート電極1055の上面並びにソース及びドレイン領域1057の上面に金属珪化物層1060を形成する。金属珪化物層60の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極1055の上面並びにソース及びドレイン領域1057の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、珪化物層の表面を窒化させてもよい。以上の工程により図7(C)に示す構造体を得られる。

【0117】

次いで、図7(D)に示す工程では、まず、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜1061を形成する。絶縁膜1061の材料としては、磷及び／又はボロンを含む酸化シリコンなどが好適である。次いで、必要に応じて、CMP法により絶縁膜1061にコンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F2エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィ技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0118】

次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、必要に応じてバリアメタル1062となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体1063を、CVD法、PVD法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜1061の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により歪みSi層にFET等のトランジスタを作り込むことができ、図7(D)に示す構造のトランジスタを有する半導体装置を得られる。

【0119】

CMOS構成のトランジスタを作製する際には、歪みSi基板としてp-typeを用いて、p-MOS領域にはn-Wellを形成しておく。

【0120】

なお、図7(A)～図7(D)では、1つのトランジスタの領域のみが示されているが、所望の機能を達成する半導体装置を得るために、歪みSi基板上に多数のトランジスタその他の回路素子を形成し、これらに配線を形成し得ることは言うまでもない。

【産業上の利用可能性】

【0121】

本発明は歪み半導体層に絶縁ゲート型トランジスタ等の回路素子を形成するための半導体基体とその作製方法やかかる回路素子が形成された半導体装置に用いられる。

【図面の簡単な説明】

【0122】

【図1】(A)は本発明の第1の実施例の第1の基体の積層構造を示す図、(B)は

本発明の第1の実施例の貼り合わせ工程を示す図、(C)は本発明の第1の実施例の除去工程を示す図である。

【図2】(A)は第2の実施例の第1の基体の積層構造を示す図、(B)は第2の実施例の貼り合わせ工程を示す図、(C)は第2の実施例の分離工程を示す図、(D)は第2の実施例の除去工程を示す図である。

【図3】(A)は第3の実施例の第1の基体の積層構造を示す図、(B)は第3の実施例の貼り合わせ工程を示す図、(C)は第3の実施例の分離工程を示す図、(D)は第3の実施例の除去工程を示す図である。

【図4】(A)は第4の実施例の成長工程を示す図、(B)は第4の実施例の陽極化成工程を示す図、(C)は第4の実施例の第1の基体の積層構造を示す図、(D)は第4の実施例の貼り合わせ工程を示す図、(E)は第4の実施例の分離工程を示す図、(F)は第4の実施例の除去工程を示す図である。

【図5】(A)は第5の実施例の成長工程を示す図、(B)は第5の実施例の陽極化成工程を示す図、(C)は第5の実施例の第1の基体の積層構造を示す図、(D)は第5の実施例の貼り合わせ工程を示す図、(E)は第5の実施例の分離工程を示す図、(F)は第5の実施例の除去工程を示す図である。

【図6】(A)は第6の実施例の陽極化成工程を示す図、(B)は第6の実施例の第1の基体の積層構造を示す図、(C)は第6の実施例の貼り合わせ工程を示す図、(D)は第6の実施例の分離工程を示す図、(E)は第6の実施例の除去工程を示す図である。

【図7】(A)乃至(D)は半導体装置及びその製造方法を示す図である。

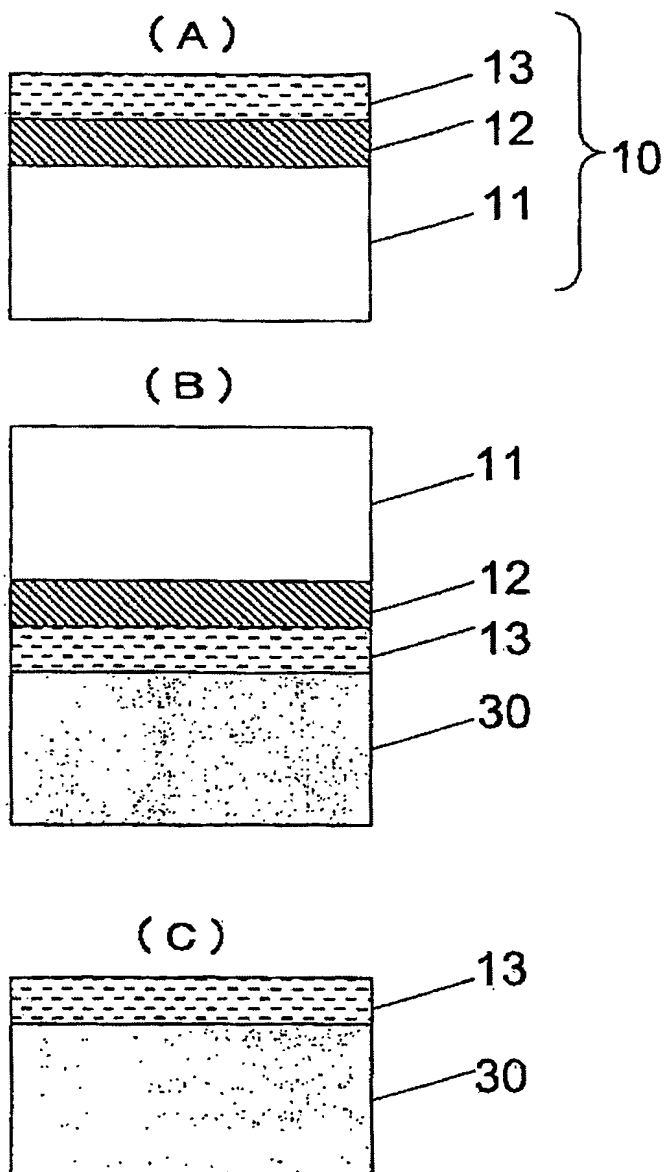
【図8】ゲルマニウムを含む層($\text{Si}_{1-x}\text{Ge}_x$ 層)を多孔質表層の孔封止材料として形成した様子を示す概略的断面図である。

【符号の説明】

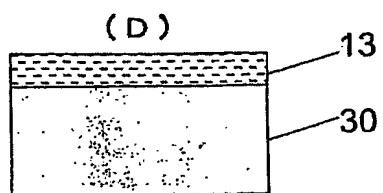
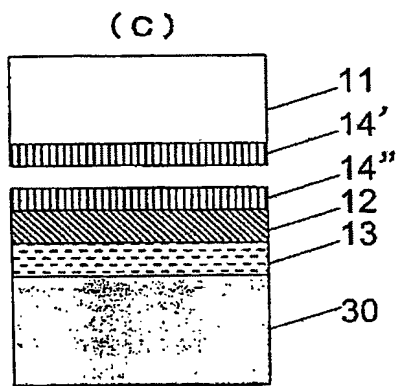
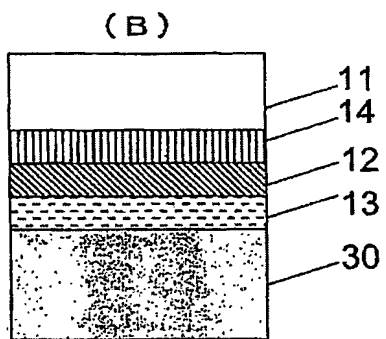
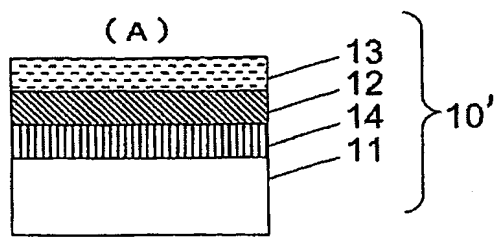
【0123】

- 10 第1の基体(部材)
- 11 シリコン基板
- 12 歪み誘起層($\text{Si}_{1-x}\text{Ge}_x$ 層)
- 13 歪みシリコン層
- 14 多孔質Si層
- 15 $\text{Si}_{1-y}\text{Ge}_y$ 層
- 16 多孔質層
- 21 SiGeあるいはGeの基板
- 26 多孔質層
- 30 第2の基体(部材)

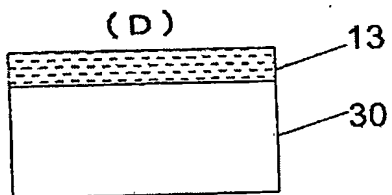
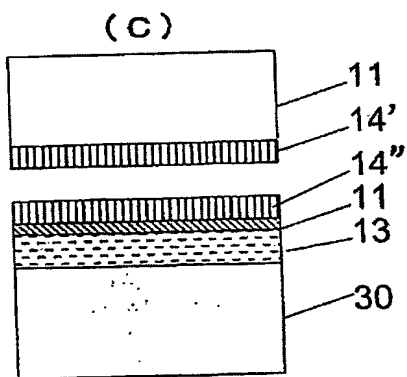
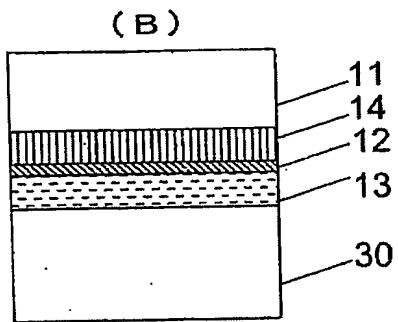
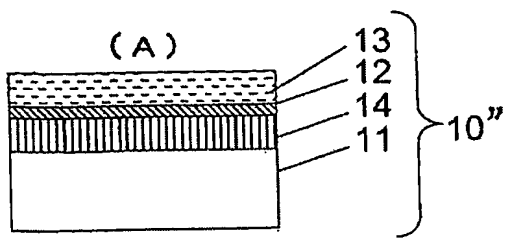
【書類名】 図面
【図 1】



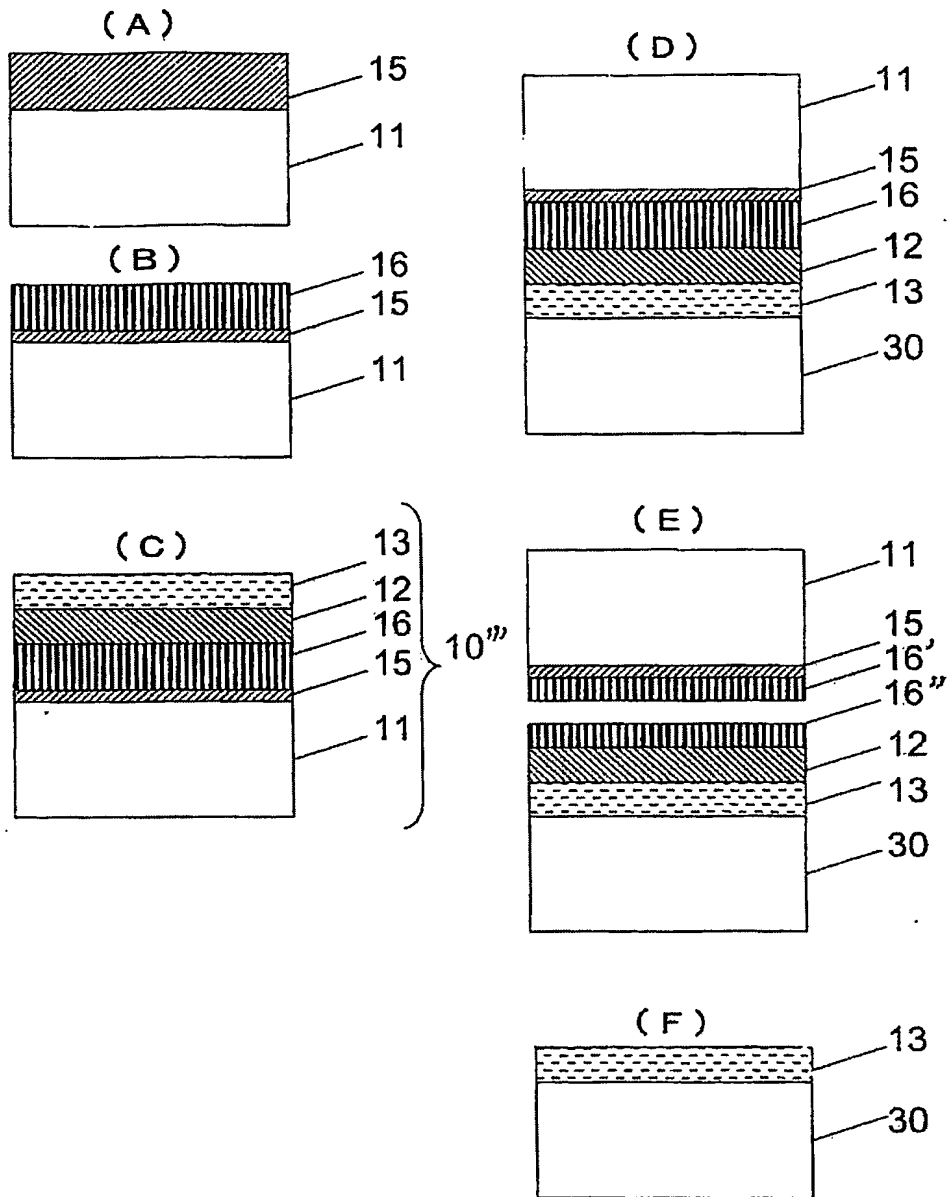
【図 2】



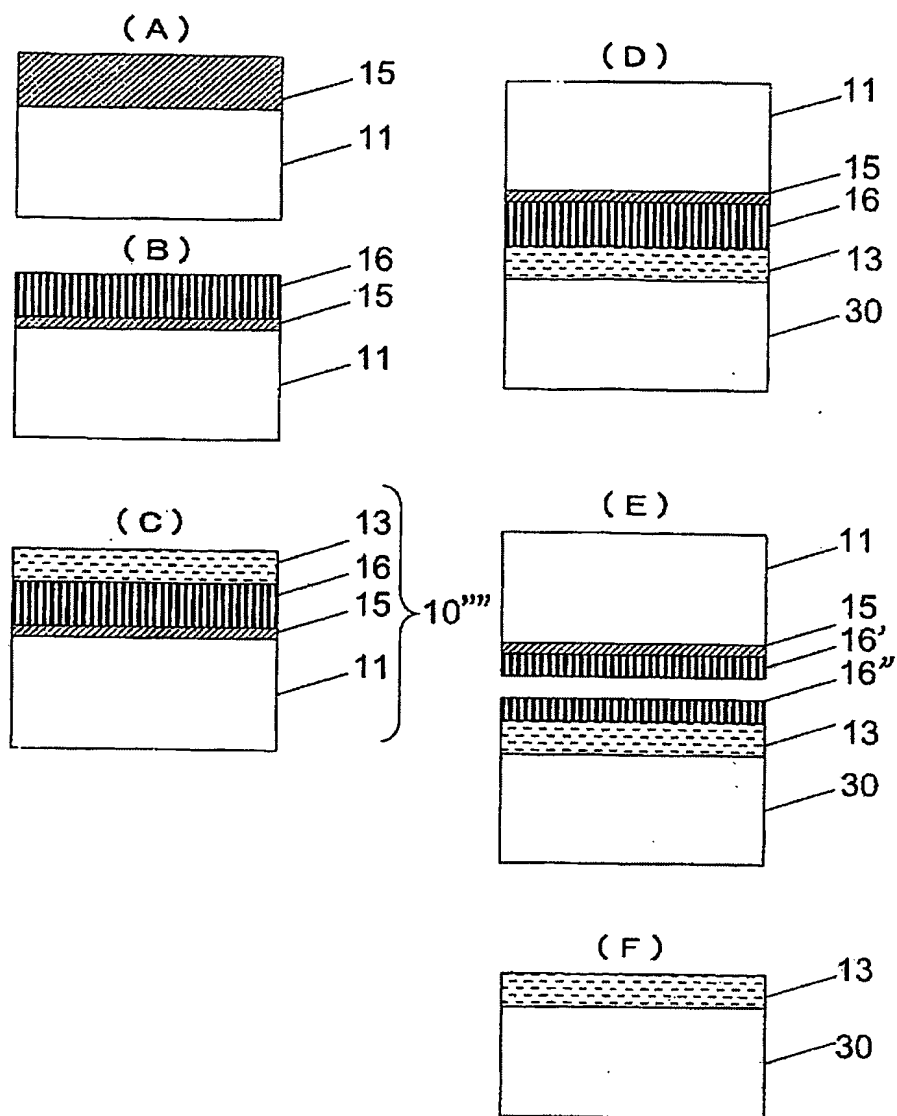
【図 3】



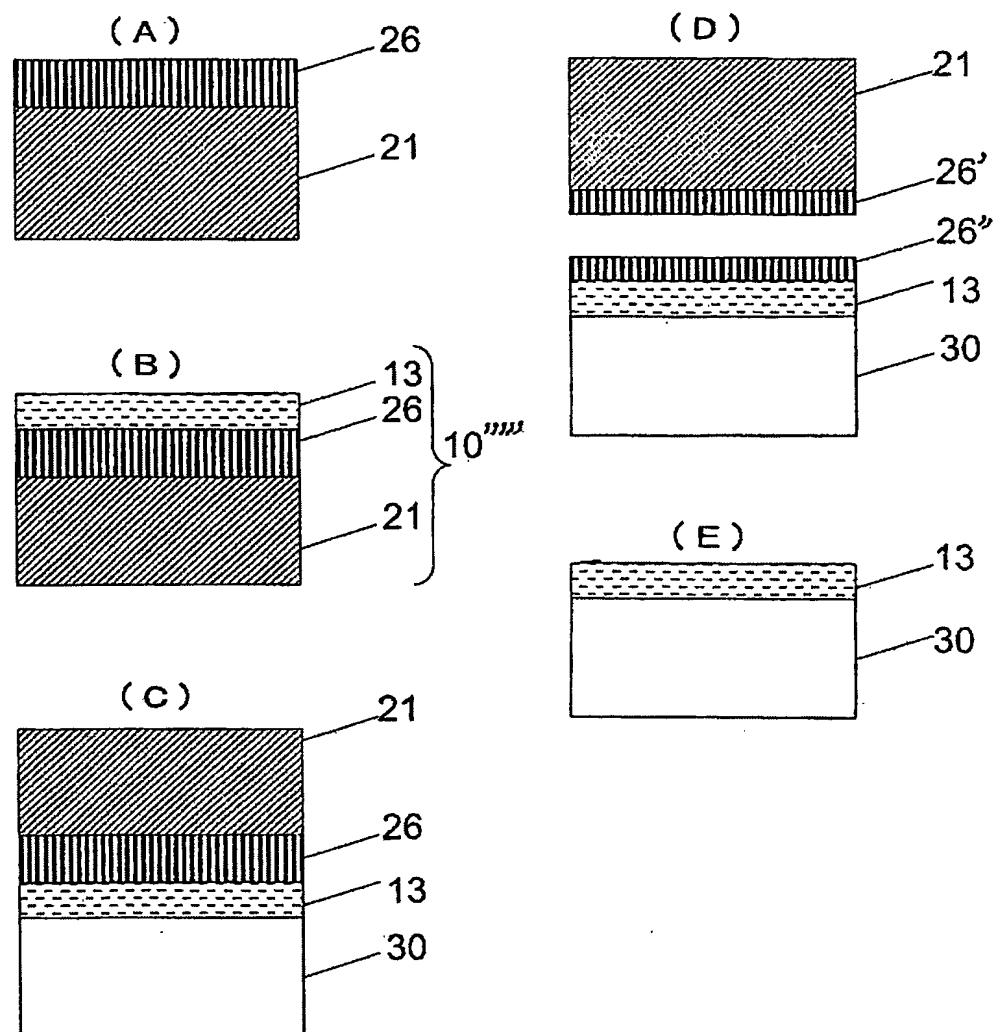
【図 4】



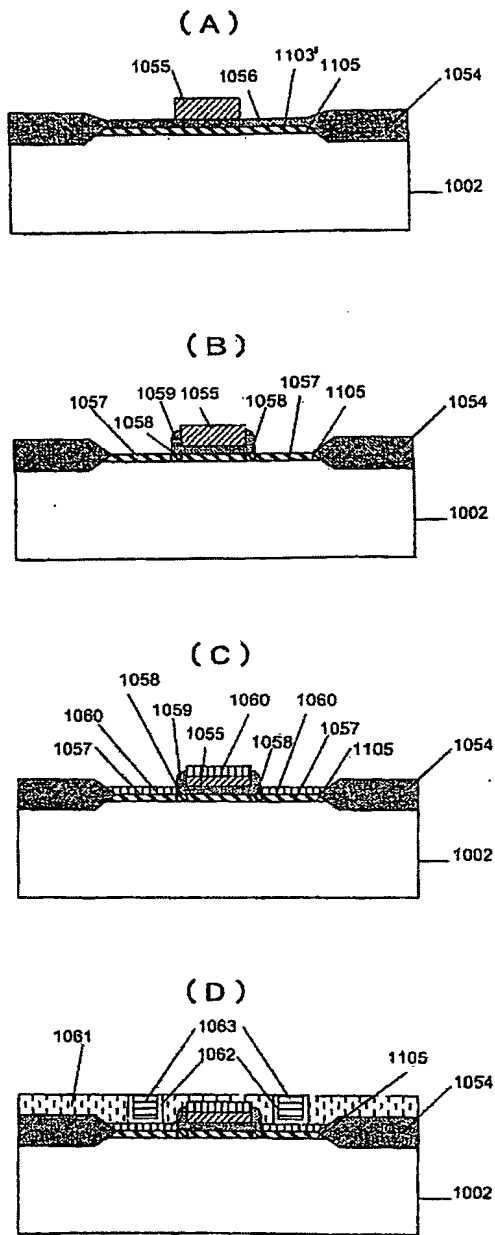
【図 5】



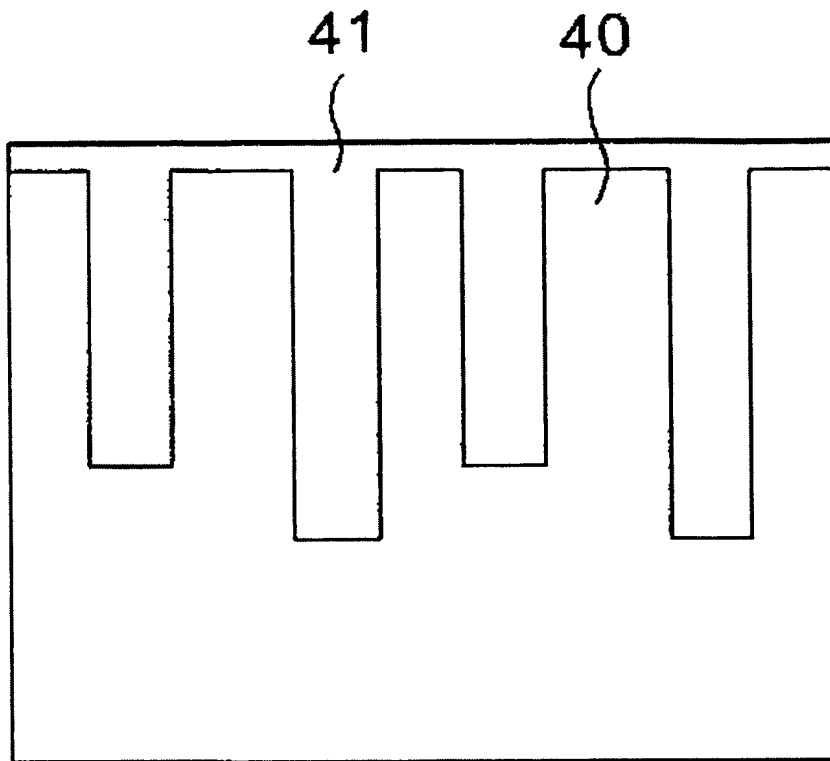
【図 6】



【図 7】



【図 8】



【書類名】要約書

【要約】

【課題】 移設法（貼り合わせ、分離）を利用した歪みSi基板の製造方法を提供する。

【解決手段】 シリコン基板 1 1 上に分離層 1 4 を形成し、その上に順に歪み誘起層として Si Ge 層 1 2、歪み半導体層としてシリコン層 1 3 を形成して第 1 の基体 1 0 を作成する。この第 1 の基板 1 0 を歪み半導体層のシリコン層 1 3 と同じ材料の第 2 の基板 3 0 に貼り合わせて、その後、分離層 1 4 の部分でこれを 2 枚に分離する。分離層 1 4 の残りおよび Si Ge 層 1 2 を除去した後、水素アニールにより平坦化すると、最表面に歪みシリコン層を有する Si 基板が得られる。

【選択図】 図 2

特願 2003-434019

ページ: 1/E

出願人履歴情報

識別番号

[000001007]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都大田区下丸子3丁目30番2号

氏 名

キャノン株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018981

International filing date: 14 December 2004 (14.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-434019
Filing date: 26 December 2003 (26.12.2003)

Date of receipt at the International Bureau: 04 February 2005 (04.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.